

基于 SOI-SONOS 存储器的高速辐照加固灵敏放大器设计

李 侃¹, 伍 冬^{1,2}, 王雪强¹, 谯凤英¹, 邓 宁^{1,2}, 潘立阳^{1,2}

(1 清华大学 微电子学研究所, 北京 100084; 2 清华大学 信息科学技术国家实验室, 北京 100084)

摘 要: 总剂量辐照下, 存储单元和 MOS 管阈值电压均会发生漂移, 引起灵敏放大器性能退化. 基于 $0.6\mu\text{m}$ SOI 工艺, 设计了一种用于 SONOS EEPROM 存储器中的高速、辐照加固的新型灵敏放大器. 该电路中采样反相器和参考支路采用电路补偿技术, 以达到抗辐照效果. 双支路预充技术用于提高读取速度. 仿真结果表明灵敏放大器中采样反相器噪声容限, 以及参考电流基本不受辐照引起的阈值电压漂移的影响. 此外, 辐照后新型灵敏放大器电路延迟时间仅为 9.16ns , 与传统单支路预充结构相比, 延迟时间缩短 27%.

关键词: SONOS; 灵敏放大器; 高速; 总剂量辐照; 辐照加固

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2010)05-0022-05

Novel High-Speed Radiation Hardened Sense Amplifier for SOI Based SONOS Memory

LI Kan¹, WU Dong^{1,2}, WANG Xue-qiang¹,
QIAO Feng-ying¹, DENG Ning^{1,2}, PAN Li-yang^{1,2}

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China;

2 Tsinghua National Laboratory of Information Science and Technology, Tsinghua University, Beijing 100084, China)

Abstract: A high-speed radiation hardened sense amplifier for a SONOS type EEPROM memory is designed and realized in $0.6\mu\text{m}$ SOI process. Total dose radiation would cause large threshold voltage shifts of both memory cells and MOS transistors, hence degrades the performance of the sense amplifier. Compensation techniques for the sampling inverter and reference branch are proposed to achieve radiation hardness effectively. Furthermore, double branch precharge technique is developed to improve the read speed. As a result, the noise margin of the sampling inverter and the reference circuit in the proposed sense amplifier are not sensitive to threshold voltage shifts induced by the radiation. The simulation result shows that the sensing time of the proposed sense amplifier achieves only 9.16ns , which is dramatically reduced by 27% compared with the single branch precharge technique.

Key words: SONOS; sense amplifier; high speed; total dose radiation; radiation harden

1 引言

随着航天技术的快速发展,越来越多的 EEPROM 器件被应用到各类航天器和卫星的控制系统中,空间应用的 EEPROM 要求必须具有抗辐照特性^[1]. 与传统的浮栅存储器件相比,基于分立电荷俘获原理操作的 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon)存储单元具有更好的抗辐照性能^[2]. 通常 SONOS 型存储单元的阈值电压窗口比较小,辐

照之后还会变得更小. 更为严重的是,辐照环境中的 MOS 晶体管阈值电压也会发生漂移,导致灵敏放大器中参考电流发生变动带来漏电. 实验测量结果显示,在 $0.6\mu\text{m}$ 工艺下,存储单元和外围 MOS 管由于高剂量辐照,阈值电压分别漂移 0.7V 和 0.2V . 这不可避免地会影响到灵敏放大器电路的读取速度和可靠性. 因此,迫切需要设计一种辐照加固的、不影响性能的灵敏放大器.

现阶段对辐照加固存储器的研究主要集中在工艺和器件制备方面,比如采用低温工艺^[3],栅氧层中掺 F^[4],NMOS 晶体管采用环形栅^[5]等等. Haddad 等人采用交叉耦合电阻技术来改进电路的抗单粒子辐射性能.然而,电阻越大,读速度就越慢,面积开销也很大^[6]. Shreedhara 等人提出了一种利用体效应的新技术,通过动态改变 MOS 晶体管的衬底电压来补偿辐照造成的阈值漂移^[7].此技术的缺点是电路实现较为复杂.

文中设计了一种辐照加固的灵敏放大器,用于 256 kbit EEPROM 存储器系统,采用 0.6 μm SOI 双多晶硅栅、3 层金属的 SONOS-EEPROM 抗辐照工艺.提出针对灵敏放大器中采样反相器和参考支路的辐照加固的补偿电路技术.最后,提出双支路预充技术以改善灵敏放大器的读取速度.

2 辐照环境下的设计考虑

文中设计的 256 kbit 容量的 EEPROM 系统采用 0.6 μm SOI 双多晶硅栅、3 层金属的抗辐照 SONOS-EEPROM 工艺.多晶硅栅 1 和多晶硅栅 2 分别用于存储单元和外围电路.器件隔离采用 STI 全介质隔离和局部 LOCOS 隔离相结合的技术,以消除高剂量辐照导致的漏电.考虑到 SONOS 器件有较好的抗辐照特性,因此选用其做存储单元.

文中设计的 256 kbit EEPROM 系统共分为 8 个存储区块,每个存储区块含有 32 Kbit 存储单元. EEPROM 单元采用 2-T 结构,包括 MOS 选择管和 SONOS 存储管. SONOS 存储管基于双向 FN 隧穿机理来进行编程和擦除操作,如表 1 所示.系统电源电压 V_{dd} 为 5 V.

表 1 存储管操作表

操作	V_{WL}	V_{BL}	V_{SL}	V_{SUB}
编程	14	0	0	0
擦除	-10	5	5	5
读取	3	1	0	0

实验测得 SONOS 存储单元的 $I_{\text{d}}-V_{\text{g}}$ 曲线如图 1(a) 所示. 典型情况下,辐照前阈值电压窗口约为 2V,读取电流窗口为 315 μA ($I_{\text{read}}@V_{\text{read}}=3\text{ V}$). 然而,当半导体器件置于辐照环境下,会出现一些不理想的变化,如阈值电压漂移、漏电和载流子迁移率退化^[8]. 考虑到存储单元长期工作导致的保持特性退化和 300 krad(Si) 辐照剂量的影响,其阈值电压漂移会达到 0.7V. 此时,阈值电压窗口急剧下降至 0.6V,读取电流窗口下降到仅为 76 μA . 显然这么小的读窗口给

灵敏放大器的设计带来了非常苛刻的限制.

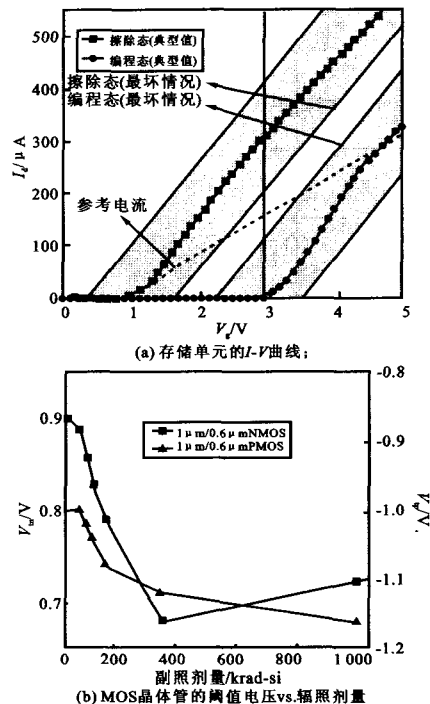


图 1 存储单元和 MOS 晶体管的阈值电压

如图 1(b) 所示,总剂量辐照会引起 MOS 晶体管的 V_{th} 下降和 $|V_{\text{tp}}|$ 上升. 辐照后,观测到 NMOS 阈值漂移最大为 0.2V, PMOS 阈值漂移小于 0.2V,这是由于陷阱电荷和界面态对 PMOS 器件来说是加性所致. MOS 晶体管阈值电压漂移对灵敏放大器的性能有着重要影响.从电路角度看,辐照后反相器的电压传输曲线也会向左漂移,引起低电平噪声容限下降,这将严重影响灵敏放大器的可靠性和性能.

3 高速、辐照加固灵敏放大器中的新技术

3.1 灵敏放大器中采样反相器 G1 针对噪声容限的电路补偿技术

灵敏放大器如图 2(a) 所示,位线电流和参考电流经过比较,电流差转换为电压被反相器 G1 采集并整形. 最终的结果通过下一级驱动反相器输出.

如前所述,总剂量辐照会导致 V_{th} 下降和 $|V_{\text{tp}}|$ 增大. 假设经 300 krad(Si) 辐照后 $\Delta V_{\text{th}} = \Delta V_{\text{tp}} = -0.2\text{ V}$, 电压传输曲线如图 3(a) 所示. 曲线发生了左移,低电平噪声容限也随之下降. 如果噪声容限下降超出了合理范围,灵敏放大器将会输出错误的结果,导致功能失效^[9]. 因此,对采样反相器 G1 进行加固是极为必要的.

假设辐照前 NMOS 和 PMOS 的阈值电压分别为 $V_{\text{th}}^0 (>0)$ V_{tp}^0 和 (<0) , 辐照后变为 V_{th}^1 和 V_{tp}^1 . 辐

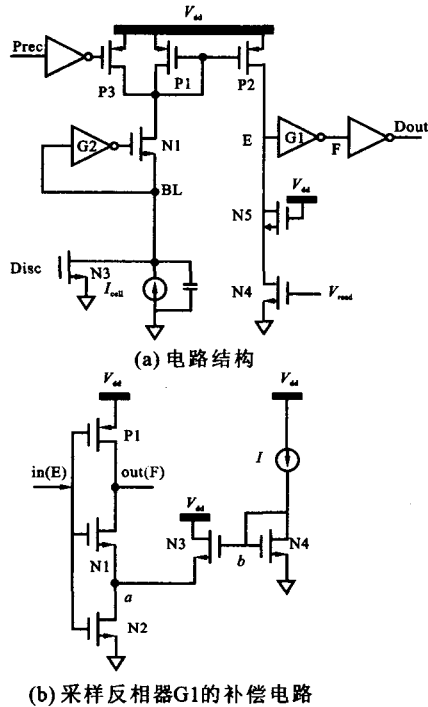


图2 采用补偿技术的灵敏放大器

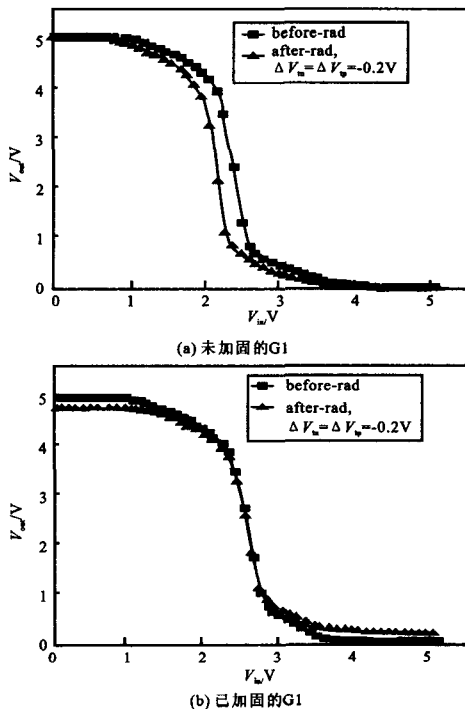


图3 采样反相器G1的辐照前后电压传输曲线
 照前低电平噪声容限 NM_L^0 和高电平噪声容限 NM_H^0 分别如下:

$$\begin{aligned} NM_L^0 &= V_{IL} - V_{OL} \approx V_{tn}^0 \\ NM_H^0 &= V_{OH} - V_{IH} \approx |V_{tp}^0| \end{aligned} \quad (1)$$

辐照后噪声容限变为

$$\begin{aligned} NM_L^1 &\approx V_{tn}^1 = V_{tn}^0 - |\Delta V_{tn}| \\ NM_H^1 &\approx |V_{tp}^1| = |V_{tp}^0| + |\Delta V_{tp}| \end{aligned} \quad (2)$$

式中, $\Delta V_{tn}(<0)$ 、 $\Delta V_{tp}(<0)$ 分别代表NMOS和PMOS的阈值电压变化.显然,低电平噪声容限下降,反相器性能退化.

辐照加固后的采样反相器G1如图2(b)所示,在原来的基础上增加了由N2和N3构成的补偿电路.N1源端和N2漏端连接于节点a.文中提出的补偿电路的原理是采样反相器G1中NMOS管N1的源端可以跟踪 V_{tn} 的变化,并补偿辐照造成的噪声容限下降.

对低电平噪声容限,只需考虑 V_{in} 从“0”变到“1”的状态.辐照后,低噪声容限变为:

$$NM_L^1 = V_{gs,N1} + V_a \approx V_{tn}^1 + V_a = V_{tn}^0 - |\Delta V_{tn}| + V_a \quad (3)$$

如果设计相应的电路,能够使得 $V_a = |\Delta V_{tn}|$,则式(3)变为 $NM_L^1 = V_{tn}^0 = NM_L^0$.这意味着辐照前后低噪声容限是一个常数,不随阈值电压漂移 ΔV_{tn} 而改变.

$V_a = |\Delta V_{tn}|$ 补偿描述如下.假设输入电压 V_{in} 从“0”变到“1”,N1,N2,N3工作在饱和区.节点a处的基尔霍夫电流公式(KCL)为

$$K_{N1}(V_{in} - V_a - V_{tn}^1)^2 + K_{N3}(V_b - V_a - V_{tn}^1)^2 = K_{N2}(V_{in} - V_{tn}^1)^2 \quad (4)$$

式中, K 是表达式 $\frac{1}{2}\mu C_{ox}(\frac{W}{L})$ 的简写.

如果 $K_{N1} = K_{N2} = K_{N3}$ 且 $V_b = V_{tn}^0 - \Delta V_{tn}$,即可得到期望值 $V_a = |\Delta V_{tn}|$.

图3(b)是带补偿电路的采样反相器G1的电压传输曲线.尽管经过总剂量为300krad(Si)辐照后,晶体管阈值电压漂移 $\Delta V_{tn} = \Delta V_{tp} = -0.2V$,但是G1噪声容限依然保持不变.

3.2 参考电流的辐照加固技术

图2(a)中所示灵敏放大器的参考支路由NMOS管N4和N5构成.为了得到最大的读取窗口,参考电流被设置在擦除电流和编程电流中间.N4栅极与读电压 V_{read} 相连,以产生参考电流.然而,由于工艺变化,读电压会产生波动.更为严重的是,这会导致参考电流改变,读电流窗口变得更小.文中对参考电流进行了加固,如图4中矩形方框所示.

显然,流过P7和N7的电流一样:

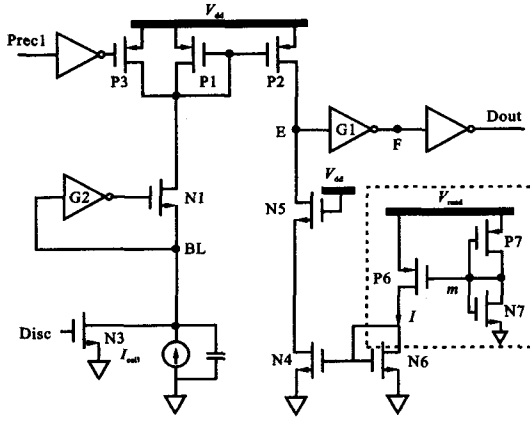


图4 参考电流已加固的灵敏放大器

$$K_{P7}(V_{\text{read}} - V_m - |V_{\text{tp}}|)^2 = K_{N7}(V_m - V_{\text{tn}})^2 \quad (5)$$

定义 $\sqrt{\frac{K_{P7}}{K_{N7}}} = n$, 节点 m 的电压为

$$V_m = \frac{nV_{\text{read}} - n|V_{\text{tp}}| + V_{\text{tn}}}{n+1} \quad (6)$$

由阈值电压漂移造成的 ΔV_m 为

$$\Delta V_m = \frac{-n|\Delta V_{\text{tp}}| + \Delta V_{\text{tn}}}{n+1} \quad (7)$$

P6 工作在饱和区, 流过 P6 的电流为

$$I = K_{P6}(V_{\text{read}} - V_m - |V_{\text{tp}}|)^2 \quad (8)$$

同理可得

$$\Delta I = 2K_{P6}(V_{\text{read}} - V_m - |V_{\text{tp}}|)(-\Delta V_m - |\Delta V_{\text{tp}}|) \quad (9)$$

如果 $n \gg 1$, 则 $\Delta V_m = -|\Delta V_{\text{tp}}|$, $\Delta I \approx 0$. 这说明参考电流不受辐照影响。

3.3 双支路预充技术

辐照引起的载流子迁移率降低和阈值电压漂移会导致灵敏放大器延迟时间增加。而且, 上面所述的补偿技术也会增加电路复杂度, 减慢读取速度。为提高读取速度, 双支路预充技术被应用在电流型灵敏放大器中。与传统的单支路预充技术相比, 它增加了另外一条由 P4 构成的预充路径, 如图 5 所示。

一般来讲, 灵敏放大器工作分两个阶段: ①预充阶段。P3、P4、N1 对位线 BL 进行充电, 通过反相器 G2 的负反馈作用把位线电压钳位到一固定值。②感应阶段。对位线电流和参考电流进行比较, 然后将电流转换成电压, 通过 P1 和 P2 构成的单输出端电流镜输出。传统单支路预充技术的缺点是, 随着位线电压增加, 由于反相器 G2 的负反馈作用, N1 驱动能力逐渐降低。文中提出的双支路预充技术解决了上述问题。信号 Prec1 和 Prec2 同时对位线电容和 N1 栅极进行充电, 因此消除了 N1 对预充时间的

限制。在预充阶段, P4 打开, 将 N1 的栅极进行上拉, N1 的 V_{gs} 得以被迅速提升, 它比单支路预充技术能更快的使 N1 的电流和位线电流达到平衡。如图 6 所示, 仿真结果表明双支路预充技术可以有效的加快预充过程, 使读取时间变短。

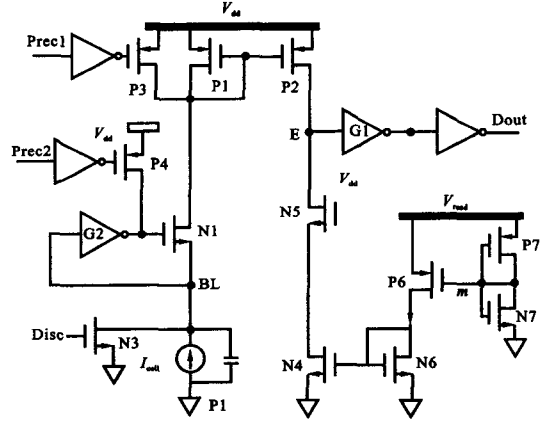


图5 采用新型双支路预充技术的灵敏放大器

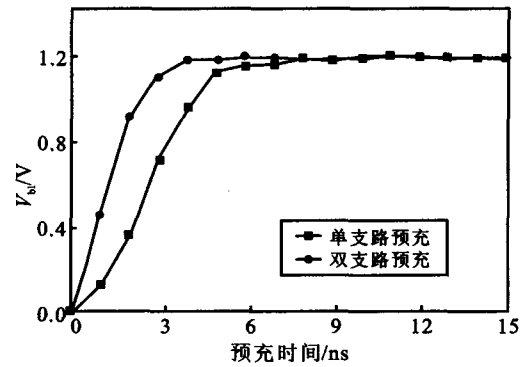


图6 采用双支路预充和单支路预充技术时位线电压变化

4 仿真结果和讨论

图 5 所示即为文中提出的辐照加固并采用双支路预充技术的新型灵敏放大器的完整结构。为了减小辐照引起的阈值电压漂移的影响, 灵敏放大器只在读取操作时工作。除了上面在电路级提出的辐照加固技术外, 文中还采用基于 SOI 的工艺和版图加固技术来消除辐照产生的陷阱电荷在 MOS 晶体管之间造成的漏电。如图 7 所示, STI 全介质隔离技术用来隔离位于不同阱中的器件之间的漏电, LOCOS 隔离技术和在隔离场氧间增加 P+ (或 N+) 扩散层可以阻断位于同一阱中的器件之间的漏电通路。采用上述隔离方法和版图技术, 可以大大增强灵敏放大器对辐射造成的漏电的抵抗能力。图 8 中矩形方框所示即为文中提出的灵敏放大器的版图。

基于 $0.6\mu\text{m}$ SOI 工艺对电路进行仿真。通过改

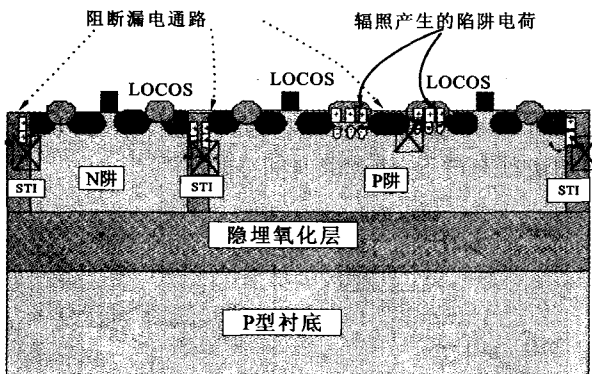


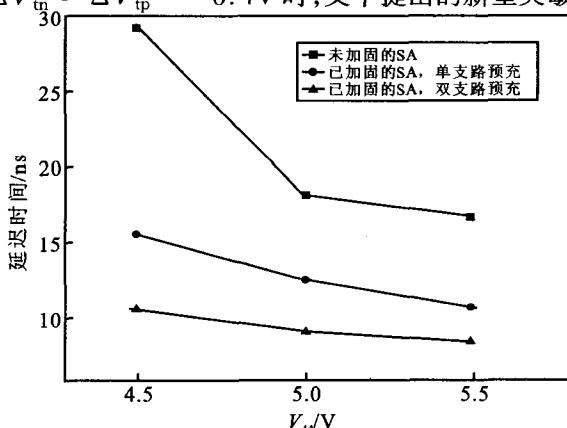
图7 灵敏放大器隔离技术和版图技术抑制漏电示意图



图8 256 kbit 辐照加固 SONOS 存储器系统版图,

灵敏放大器如图中矩形框所示

变阈值电压 $\Delta V_m = \Delta V_{tp} = -0.2V$ 来模拟总剂量为 300 krad(Si) 的辐照效应. 由于工艺波动, V_m 和 V_{tp} 也会在 $\pm 0.2V$ 范围内波动. 考虑以上两种因素的影响, 最坏情况为 $\Delta V_m = \Delta V_{tp} = -0.4V$, 这几乎是初始阈值电压的一半. 仿真结果如图 9 所示. 当 $\Delta V_m = \Delta V_{tp} = -0.4V$ 时, 文中提出的新型灵敏放

图9 辐照后灵敏放大器延迟时间 vs. V_{dd}

大器依然可以正常工作, 并且保持很高的可靠性和较快的读取速度. 当电源电压 V_{dd} 为 5V 时, 辐照加固且采用单支路预充的灵敏放大器延迟时间为 12.57ns. 采用双支路预充技术后, 延迟时间下降到 9.16ns, 比单支路预充缩短 27%.

5 结束语

文中提出了一种用于 SONOS-EEPROM 存储器系统, 具有优秀抗辐照能力和高速读取能力的灵敏放大器. SOI 工艺, SONOS 存储单元和特殊的版图技术可以有效抑制辐照造成的漏电. 为了解决灵敏放大器中采样反相器辐照后噪声容限下降的问题, 提出了电路补偿技术. 此外, 采用双支路预充技术可以显著降低位线充电时间, 改善灵敏放大器的性能. 仿真结果表明, 辐照加固且采用双支路预充的灵敏放大器延迟时间比单支路预充缩短 27%, 并能够有效增强电路的抗辐照能力, 有希望应用于可靠性为首要关注对象的空间系统中.

参考文献:

- [1] 辛明瑞, 时晨, 高德远, 等. 面向空间应用的片上系统集成技术研究[J]. 微电子学与计算机, 2006, 23(6): 194-197.
- [2] Adams D A, Mavisz D, Murray J R, et al. SONOS non-volatile semiconductor memories for space and military applications[J]. IEEE Proceedings of Aerospace Conference, 2001(5): 2295-2300.
- [3] Leray J L, Nivet D E, Pere J L. CMOS/SOI hardening at 100 Mrad(SiO₂)[J]. IEEE Transactions on Nuclear Science, 1990, 37(6): 2013-2019.
- [4] Yasushiro Nishiokal, Kiyonori Ohyu, Yuzuru Ohjil, et al. Radiation hardened micron and submicron MOSFETs containing fluorinated oxides[J]. IEEE Transactions on Nuclear Science, 1989, 36(6): 2116-2123.
- [5] 李海霞, 李卫民, 谭建平, 等. 一种低功耗抗辐照加固 256kb SRAM 的设计[J]. 微电子学与计算机, 2007(7): 142-145.
- [6] Nadim Haddad, Leonard Rockett, Scott Doyle, et al. Design considerations for next generation radiation hardened SRAMs for space applications[C]// IEEE Proceedings of Aerospace Conference. UK: Edinburgh, 2005(3): 1-6.
- [7] Shreedhara J K, Barnaby H J, Bhuvu B L, et al. Circuit technique for threshold voltage stabilization using substrate bias in total dose environment[J]. IEEE Transactions on Nuclear Science, 2000, 47(6): 2557-2560.

(下转第 30 页)

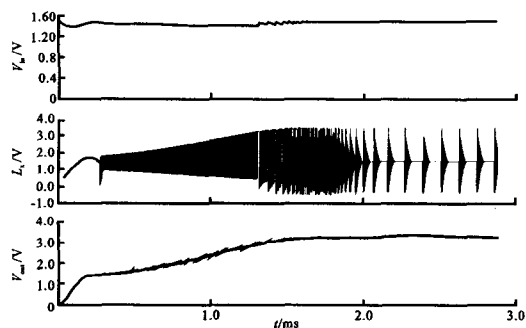


图8 V_{in} 为 1.5V、负载电流为 1mA 时的输出电压波形

4 版图设计

采用 CSMC $0.5\mu\text{m}$ 两层多晶硅三层金属 CMOS 双阱工艺的几何设计规则,基于 Cadence 的 Virtuoso 版图编辑器对设计的 PFM 调制 DC-DC 升压电路进行了版图设计.其中运算放大器的版图设计要求非常严格,首先要求非常对称;其次在 MOS 的边缘处加 DUMMY-MOS 管, DUMMY-MOS 管的三端都接地,它的作用是为了核心 MOS 管能更好地工作,有更好的性能;在输入管的四周需加上保护电路,使放大器能更稳定的工作.用混合集成方法把一个功率 MOSFET 集成到芯片内部,将功率 MOS 管与周围的 MOS 管隔离,运算放大器的输入对管尽可能远离功率 MOS 管.图 9 为布局布线后电路的版图.版图面积约为 $0.7\text{mm} \times 0.67\text{mm}$.



图9 电路的版图

5 结束语

基于 $0.5\mu\text{m}$ CMOS 工艺设计了一种可以低电

压启动工作的 PFM 调制 DC-DC 升压电路,基准电压的稳定和比较器的高精度可以使输出电压具有很高的稳定性.仿真结果表明,该电路可以在低电压启动工作,低静态工作电流,负载变化时具有稳定输出电压.基于该工艺的几何设计规则,对该电路进行了版图设计,通过 DRC、ERC、LVS 等验证检查.此电路加以简单的外围元件即可构成完整的 DC-DC 变换器,同时也可以应用到其他 SOC 系统中.

参考文献:

- [1] 孟浩,贾晨,陈志良.数字控制 PFM/PWM 混合型 DC-DC 开关电源[J].微电子学与计算机,2008,25(1):166-169.
- [2] 李建中,刘其贵,魏同立.一种低功耗 PFM 升压型 DC-DC 开关变换器的设计[J].电路与系统学报,2004,9(3):145-148.
- [3] 何捷,朱臻,王涛,等.一种具有温度补偿、高电源抑制比的带隙基准源[J].复旦大学学报:自然科学版,2001,40(1):86-90.
- [4] Leung N K, Mok P K T. A Sub-1-V 15ppm CMOS bandgap voltage reference without requiring low threshold voltage device [J]. IEEE Journal of Solid-state Circuits, 2002,37(4): 526-530.
- [5] Annema A J. Low-power bandgap reference featuring DTMOST's [J]. IEEE Journal of Solid State Circuits, 1999,34(7): 949-955.
- [6] Banba H, Shiga Hi, Mrnezawa A, et al. A CMOS bandgap reference circuit with Sub-1V operation [J]. IEEE Journal of Solid State Circuits, 1999(34): 670-674.
- [7] Phillip E Allen, Douglas R Holberg. CMOS 模拟集成电路设计[M].冯军,译.北京:电子工业出版社,2005:178-182.
- [8] 张科峰,林映嫣,张兢,等.具有外同步功能的窗口比较式 CMOS 振荡器的设计[J].微电子学与计算机,2007,24(12):183-186.

作者简介:

施敏男,(1972-),硕士,讲师.研究方向为集成电路.

(上接第 26 页)

- [8] Hughes H L, Benedetto J M. Radiation effects and hardening of MOS technology: devices and circuits [J]. IEEE Transactions on Nuclear Science, 2003, 50(3): 500-521.
- [9] Chaocheng Chen, Sowchang Liu, Chengcheng Hsiao, et al. A circuit design for the improvement of radiation hard-

ness in CMOS digital circuits [J]. IEEE Transactions on Nuclear Science, 1992, 39(2): 272-277.

作者简介:

李侃男,(1985-),硕士研究生.研究方向为集成电路设计.